

Questionnaire d'examen final

ELE3301 / ELE4301

Sigle du (des) cours

Le génie
sans frontières

Nom: _____	Signature: _____
Matricule: _____	

Solutionnaire

Q1:

Q2:

Q3:

Sigle et titre du cours	Groupe	Trimestre
ELE3301 - Systèmes numériques programmables ELE4301 - Systèmes logiques II	Tous	A-2003
Professeur(s) M. Sawan, S. Boyer, P. Lévesque	Local	D-6240
Jour Jeudi	Date 18/12/03	Durée 2h30
	De 13h30	à 16h00

Q4:

Q5:

Q6:

Q7:

Q8:

Documentation <input checked="" type="checkbox"/> Toute <input type="checkbox"/> Aucune <input type="checkbox"/> Voir directives particulières	Calculatrice <input type="checkbox"/> Aucune <input type="checkbox"/> Non-programmable <input checked="" type="checkbox"/> Programmable
---	--

Q9:

Directives particulières

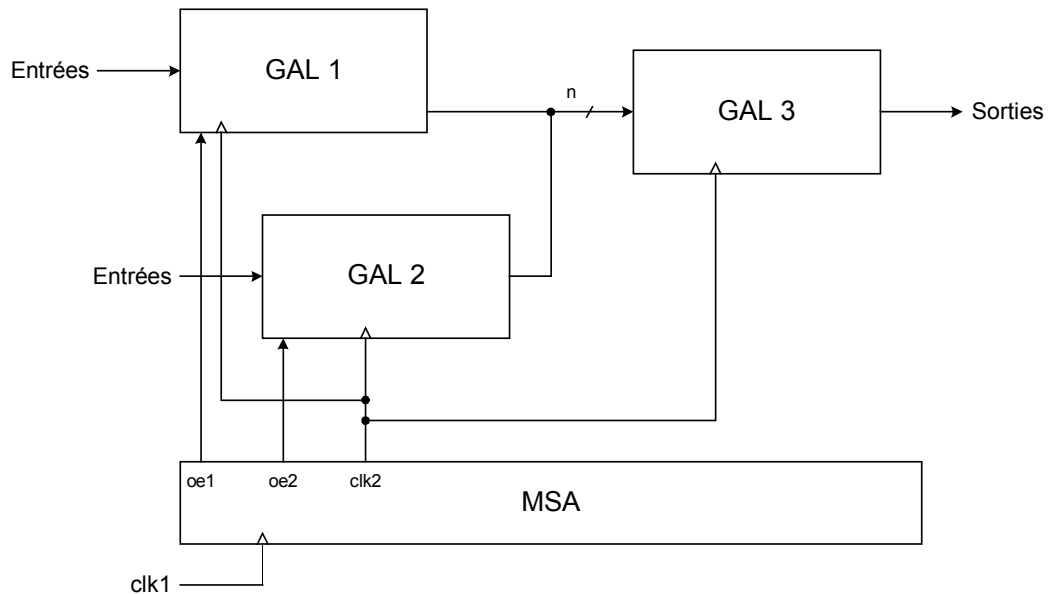
- Donnez des réponses claires, sans quoi, vous serez pénalisés;
- Respectez la logique mixte dans vos réponses;
- Répondez sur le questionnaire;
- Utilisez le verso pour le brouillon: le verso ne sera pas corrigé.

Important	Ce questionnaire comporte <input type="text" value="9"/> question(s) sur <input type="text" value="16"/> page(s)
	La pondération de cet examen est de <input type="text" value="35"/> %
	Vous devez répondre sur: <input checked="" type="checkbox"/> le questionnaire <input type="checkbox"/> le cahier <input type="checkbox"/> les deux
	Vous devez remettre le questionnaire: <input checked="" type="checkbox"/> oui <input type="checkbox"/> non

QUESTION 1 {1 point}

Nous souhaitons concevoir une machine séquentielle algorithmique (MSA) pour contrôler le transfert de données entre trois GAL (22V10). Chacune de sorties registrées des deux premiers GAL est connectée à la même entrée du troisième GAL. Il est à noter que la fonction réalisée dans les GAL n'est pas importante pour cette question.

Dessinez un schéma bloc simplifié pour identifier les signaux que la MSA échange avec les 3 GAL.

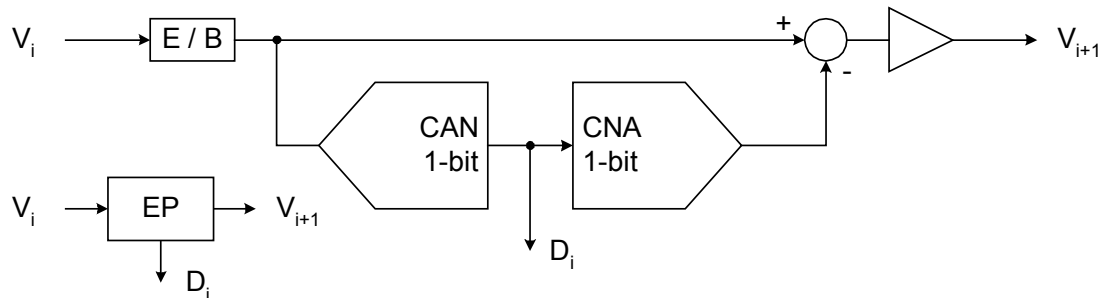


QUESTION 2 {2 points}

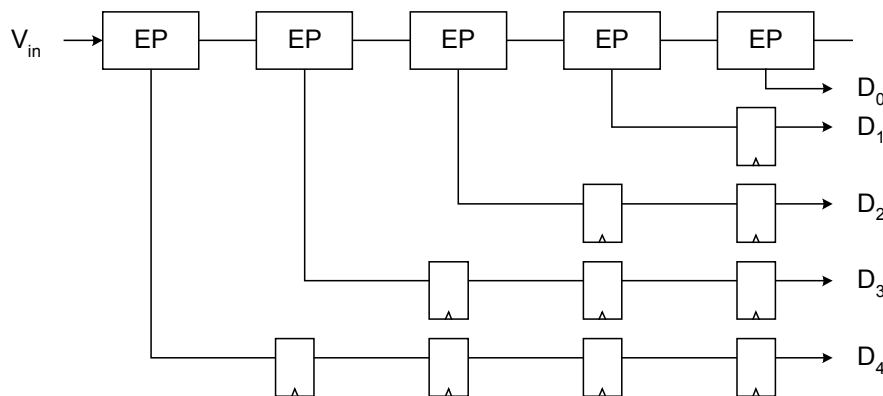
Pour concevoir un convertisseur analogique à numérique (CAN) à 5 bits, on nous propose d'adopter l'architecture pipelinée consistant à cascader 5 étages similaires. Chacun de ces 5 étages requière les 5 modules suivants :

- un échantillon / bloqueur;
- un CAN à un bit;
- un CNA (convertisseur numérique à analogique) à un bit;
- un soustracteur analogique et
- un amplificateur de tension.

a) En se servant de 5 composants donnés ci-dessus, dessinez le schéma d'un étage pipeliné; {1 point}

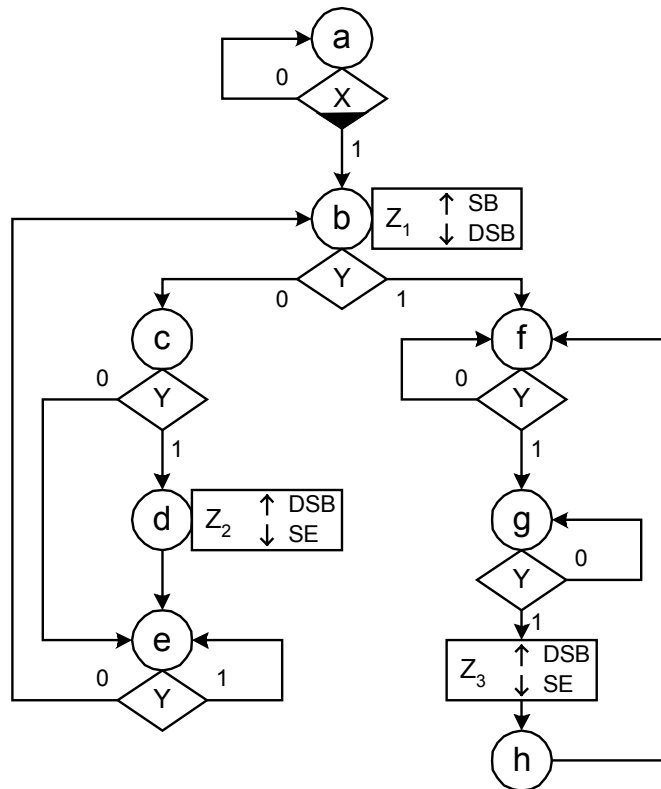


b) À partir de 5 boîtes représentant chacune un étage pipeliné, une horloge et quelques bascules D, proposez un CAN pipeliné à 5 bits qui doit être en mesure de faire une conversion analogique à numérique (CA/N) par cycle d'horloge. {1 point}



QUESTION 3 {5 points}

Le diagramme d'états ci-dessous représente une machine séquentielle algorithmique (MSA) principalement synchrone.



- a) Identifiez la ou les sortie(s) conditionnelle(s). {0,5 point}

Sortie conditionnelle: Z_3

- b) Quelle est la condition à respecter pour que l'entrée X ne provoque pas d'états erronés? {0,5 point}

États a et b adjacents.

QUESTION 3 {suite}

- c) Est-il possible que Z_3 soit exempte de transitoires ? Expliquez votre réponse à l'aide d'un diagramme de phase. {0,5 point}
- d) Supposons que: 1) l'entrée Y n'est pas synchrone, 2) la MSA se trouve dans l'état **b**, et 3) les états **b**, **c**, **f** et **g** sont assignés **001**, **010**, **100** et **110** respectivement. Discutez les conséquences sur la sortie Z_3 . {0,5 point}
- e) Assignez les états à l'aide d'un tableau d'états présents pour minimiser la partie «Input Forming Logic (IFL)». Tenir compte du principe #1 seulement. {0,5 point}

P1: c, d adj.
f, h adj.

		Q_2, Q_1			
		00	01	11	10
Q_0	0	a	b	c	d
	1	g	e	h	f

- f) Assignez les états à l'aide d'un tableau d'états présents pour éviter les transitoires aux niveaux des sorties. {0,5 point}

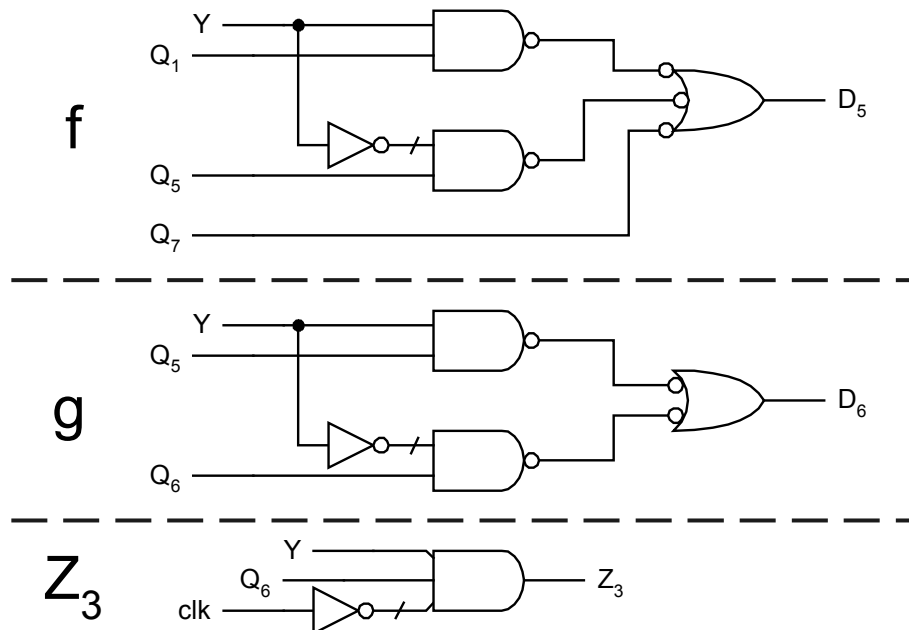
		Q_2, Q_1			
		00	01	11	10
Q_0	0	a	b*	d	d*
	1	g*	f	e	h

QUESTION 3 {suite}

- g) Supposons qu'aucune assignation ne permet d'éviter les transitoires, que faut-il rajouter au circuit de la MSA pour éviter les transitoires? Dans ce cas, discutez l'impact sur les sorties de la MSA. {1 point}

Il faut ajouter des bascules sur les sorties en utilisant la méthode AST (Alternate State Transition). Les sorties seront en retard d'un demi-cycle sur l'état.

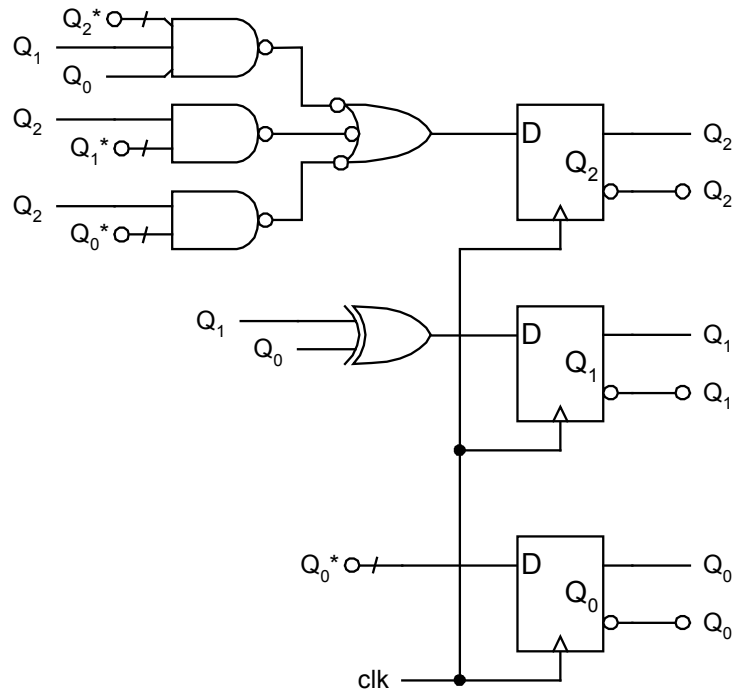
- h) En se servant de bascules D, assignez les états selon la méthode bit-par-état, et dessinez les schémas électriques de la logique d'entrée (IFL) nécessaire aux états **f** et **g**, et de la sortie Z_3 . {1 point}



QUESTION 4 {3 points}

Trouvez la fréquence maximale d'opération de ce compteur synchrone modulo 8.

Séquence : ...-000-001-010-011-100-101-110-111-000-...



a) Identifiez clairement le ou les chemins critiques. {0,5 point}

Deux chemins possibles : chemin 1 : de Q1 à D2 (Non-ET 3 entrées)

chemin 2 : de Q1 à D2 (Non-ET 2 entrées)

b) Identifiez la ou les séquences qui limitent la fréquence maximale d'opération. {0,5 point}

$$T_1 = 010 \rightarrow 011 \rightarrow 100$$

$$T_2 = 110 \rightarrow 111 \rightarrow 000$$

QUESTION 4 {suite}

c) Trouvez la fréquence maximale d'opération à l'aide des paramètres électriques. {1,5 point}

Paramètres électriques de composants

Composant logique mixte*	t_{pHL}	t_{pLH}	t_{SU}	t_H
NON-ET (2 entrées)	7 ns	4 ns	---	---
NON-OU (2 entrées)	5 ns	6 ns	---	---
NON-ET (3 entrées)	9 ns	5 ns	---	---
NON-OU (3 entrées)	7 ns	7 ns	---	---
INVERSEUR	2 ns	2 ns	---	---
XOR	9 ns	7 ns	---	---
Bascule D	15 ns	13 ns	9 ns	2 ns

$$T_1 = t_{pLH_Q0} + t_{pHL_nonET3} + t_{pHL_nonOU3} + t_{SU} + T_{pLH_TAMPON} + T_{pHL_TAMPON}$$

$$T_2 = t_{pLH_Q0} + t_{pLH_nonET2} + t_{pHL_nonOU3} + t_{SU} + T_{pLH_TAMPON} + T_{pHL_TAMPON}$$

$$T_1 = 13 + 9 + 7 + 2 + 2 + 2 = 35\text{ns}$$

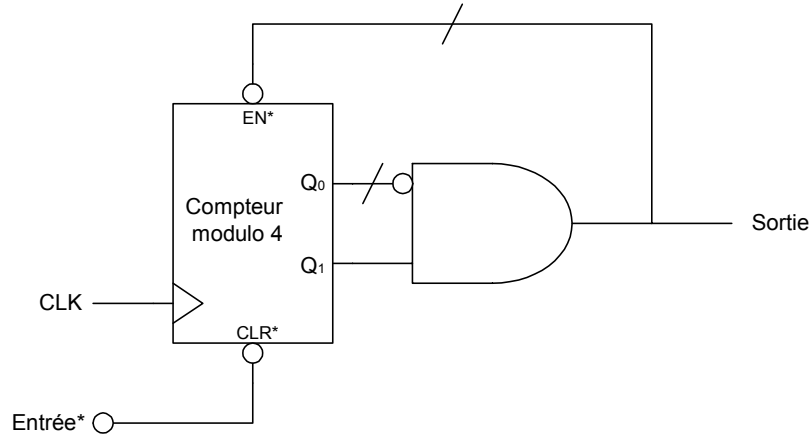
$$T_2 = 13 + 4 + 7 + 2 + 2 + 2 = 30\text{ns}$$

$$F_{MAX} = 1 / T_1 = 1 / 35 \text{ ns} = 28,6 \text{ MHz}$$

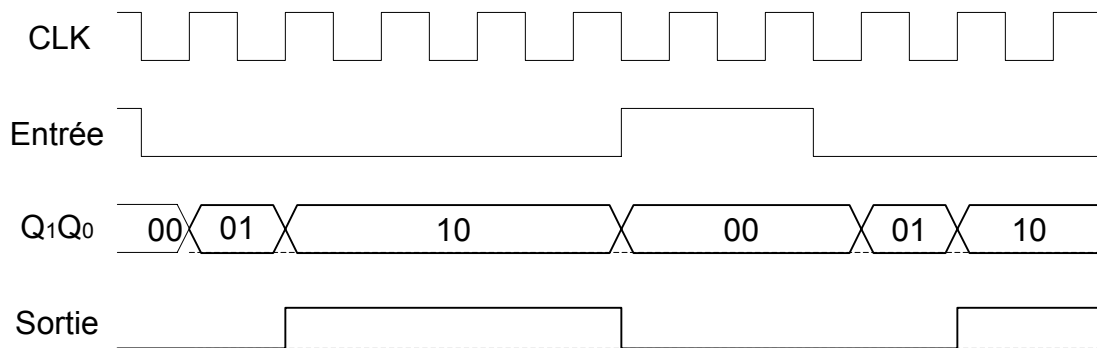
d) Identifiez un moyen d'augmenter la fréquence maximale d'opération du compteur en utilisant des inverseurs pour la distribution de l'horloge. Dessinez uniquement le signal d'horloge jusqu'aux bascules. {0,5 point}

Retarder l'horloge de D2 avec les deux tampons U1 et U2.

QUESTION 5 {1 point}



- a) Complétez le diagramme de phase suivant avec l'aide du schéma du circuit. {0,5 point}



- b) Si on considère que le signal *Entrée* est synchronisé sur le front descendant de l'horloge, identifiez la fonction de ce circuit et justifiez votre réponse. {0,5 point}

Multivibrateur monostable redéclenchable de période $T = 2,5 \times T_{CLK}$

QUESTION 6 {3 points}

Soit la description VHDL suivante:

```

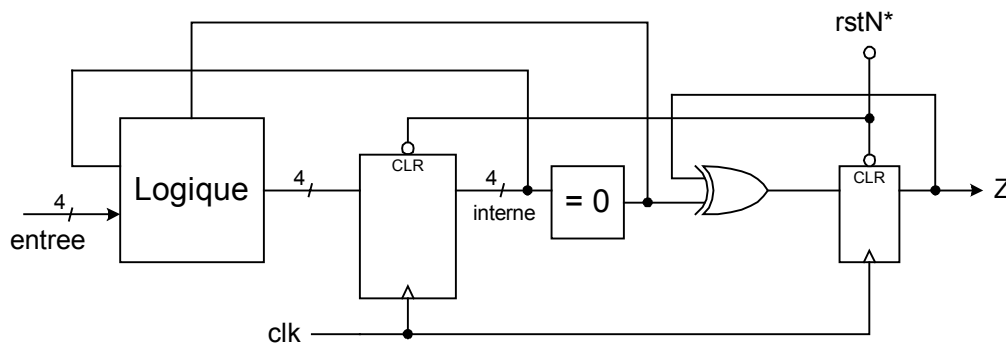
library IEEE;
    use IEEE.std_logic_1164.all;
    use IEEE.std_logic_unsigned.all;

entity question6 is
port (
    rstN          : in    std_logic;
    clk           : in    std_logic;
    entree        : in    std_logic_vector( 3 downto 0);
    z             : buffer std_logic
);
end entity question6;

architecture behav of question6 is
    signal interne : std_logic_vector( 3 downto 0);
begin
    XQ6: process(rstN, clk)
    begin
        if (rstN = '0') then
            interne <= (others => '0');
            z <= '0';
        elsif (clk'event and clk = '1') then
            if (interne = 0) then
                z <= not z;
                interne <= entree;
            else
                interne <= interne - 1;
            end if;
        end if;
    end process XQ6;
end architecture behav;

```

a) Dessinez le schéma-bloc du module décrit. {0,5 point}



QUESTION 6 {suite}

b) Quelle fonction réalise cette description VHDL? {0,25 point}

Diviseur de fréquence programmable

ou

Multivibrateur astable programmable

c) Pourrions-nous utiliser une sortie de type *out* pour le port de sortie Z sans modifier davantage la description VHDL? Expliquez votre réponse. {0,25 point}

Non, Z est utilisée comme entrée dans une équation.

`z <= not z;`

d) Proposez une façon d'augmenter la fréquence maximale d'opération de ce module. {0,5 point}

Utiliser une MSA avec encodage bit-par-état (ou code grey) au lieu d'un compteur séquentiel décroissant.

e) Estimez le nombre de modules utilisés dans un FPGA 40MX04 d'Actel par la description VHDL originale et celle modifiée selon la proposition en (d). {0,5 point}

Originale: 5 bascules et 5 équations (5 signaux internes)

$5 \times 2 + 5 = 15$ approx.

d) avec encodage bit-par-état:

17 bascules et décodeur (16)

$17 \times 2 + 26 = 60$ approx.

QUESTION 6 {suite}

- f) Complétez la description VHDL pour les 2 MSA suivantes devant être programmées dans un seul GAL22V10. {1 point}

```

library IEEE;
  use IEEE.std_logic_1164.all;

entity question6f is
  port(
    rstN, clk, x : in      std_logic;

    z1, z2       : buffer std_logic
  );
end entity question6f;

architecture behav of question6f is
  -- signaux interne

  constant a : std_logic := '0';
  constant b : std_logic := '1';

  signal msa2 : std_logic;

begin
  XP1: process ( rstN, clk )
  begin
    if (rstN = '0') then
      z1 <= a; -- msa1
      msa2 <= a;
    elsif (clk'event and clk = '1') then

      z1 <= not z1 and x;

      msa2 <= not msa2;

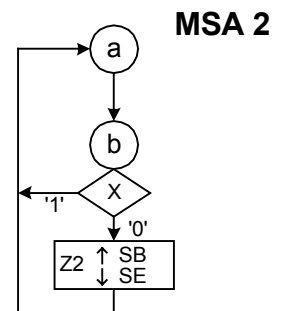
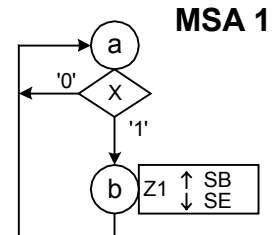
    end if;

  end process XP1;

  z2 <= '1' when msa2 = b and x = '0' else '0';

end architecture behav;

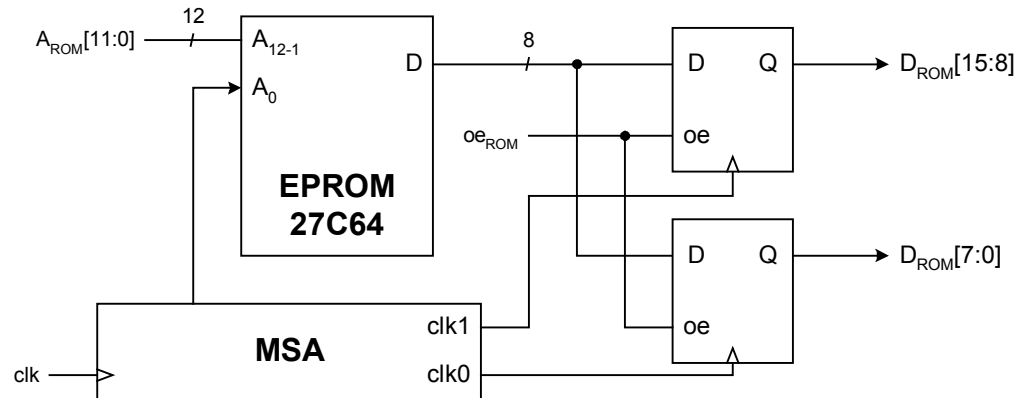
```



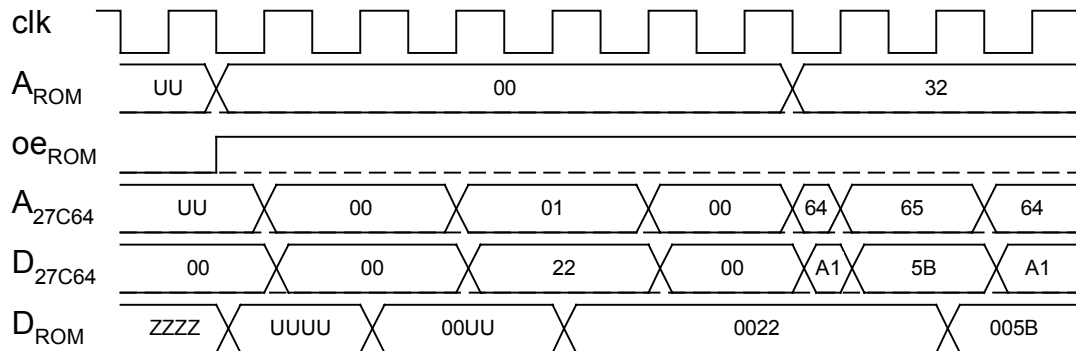
QUESTION 7 {1.5 point}

On vous demande d'utiliser **une seule** mémoire EPROM 27C64 et des composants SSI pour réaliser une mémoire ROM de 4K x 16 bits.

a) Dessinez le schéma-bloc d'une telle mémoire. {0,5 point}

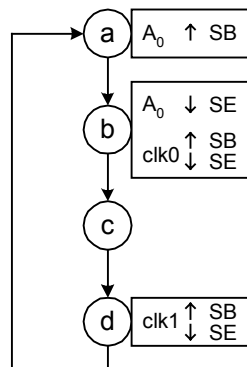


b) Montrez le fonctionnement de votre mémoire à l'aide d'un diagramme temporel. {0,5 point}



QUESTION 7 {suite}

- c) Dessinez le diagramme d'état de la MSA nécessaire à la réalisation de cette mémoire.
{0,5 points}



QUESTION 8 {1.5 point}

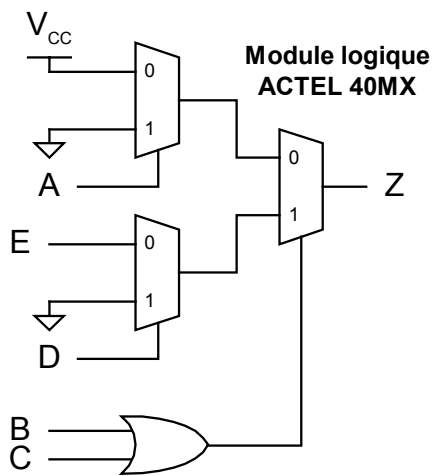
Réalisez la fonction booléenne suivante à l'aide d'un ou plusieurs modules logiques utilisés dans les FPGA 40MX04 d'Actel:

$$Z = \bar{A} \bar{B} \bar{C} + B(\bar{D}E + \bar{E}\theta) + C\bar{D}E$$

θ : état facultatif

Notez que:

- les entrées sont disponibles en logique positive uniquement;
- on cherche la sortie Z active haute.

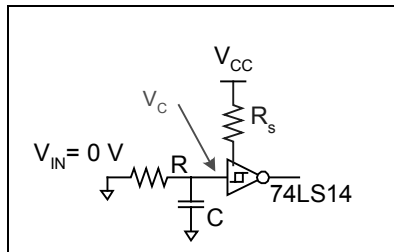
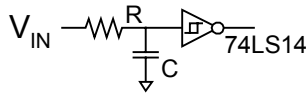


$$Z = \bar{A} (\overline{B+C}) + (B+C)\bar{D}E$$

QUESTION 9 {2 points}

Les questions suivantes portent principalement sur les composants utilisés pour réaliser les projets au cours de la session:

- a) Quelle est la valeur maximale de la résistance R du circuit suivant pour s'assurer que la sortie de l'inverseur passe à un niveau haut pour $V_{IN} = 0$ volt? {0,5 point}

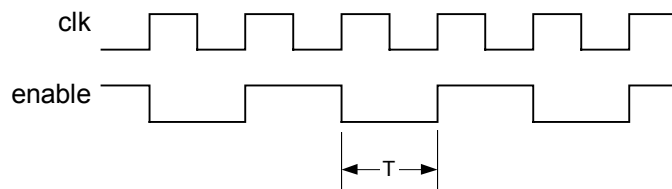


$$V_C = V_{CC} \frac{R}{R + R_s} < V_{\text{seuil}}$$

$$R < \frac{V_{\text{seuil}}}{V_{CC} - V_{\text{seuil}}} R_s$$

$$\text{calcul facultatif : } R < \frac{0,9}{5 - 0,9} 20 \text{ k}\Omega = 4,39 \text{ k}\Omega$$

- b) Nous voulons utiliser l'écran LCD à une vitesse optimale sans lire le «busy flag». Expliquez comment déterminer la fréquence maximale de l'horloge de la MSA générant les signaux de contrôle de l'écran LCD. {0,5 point}



T > temps d'exécution de l'instruction la plus longue essentielle à la réalisation de la fonction.

Instructions à éviter: CLEAR DISPLAY
CURSOR HOME

QUESTION 9 {suite}

- c) Expliquer sous quelles conditions il est possible de reprogrammer une mémoire EPROM sans avoir préalablement effacé son contenu? {0,5 point}

On peut reprogrammer certaines adresses en changeant uniquement des '1' pour des zéros puis uniquement les '0' sont programmés après qu'une mémoire EPROM soit effacée et que toutes les cellules reprennent la valeur '1'.

- d) Donnez deux avantages et deux inconvénients des mémoires RAM dynamiques face aux mémoires RAM statiques? {0,5 point}

Avantages:

- Taille des cellules
- Coût

Inconvénients:

- Temps d'accès (vitesse)
- Contrôle
- Rafraîchissement des cellules (condensateurs qui se déchargent)

Bon examen!
Mohamad Sawan
Stéphane Boyer
Philippe Lévesque