

Questionnaire d'examen final

ELE3301 / ELE4301

Sigle du (des) cours

Le génie
sans frontières

Nom: _____	Prénom: _____
Matricule: _____	Signature: _____

Q1:

Q2:

Q3:

Sigle et titre du cours	Groupe	Trimestre
ELE3301 - Systèmes numériques programmables ELE4301 - Systèmes logiques II	Tous	H-2004
Professeur(s) Mohamad Sawan, Stéphane Boyer	Local	D-6240
Jour Mercredi	Date 28/04/04	Durée 2h30
	De 13h30	à 16h00

Q4:

Q5:

Q6:

Documentation <input checked="" type="checkbox"/> Toute <input type="checkbox"/> Aucune <input type="checkbox"/> Voir directives particulières	Calculatrice <input type="checkbox"/> Aucune <input type="checkbox"/> Non-programmable <input checked="" type="checkbox"/> Programmable
---	--

Directives particulières

- Donnez des réponses claires, sans quoi, vous serez pénalisés;
- Respectez la logique mixte dans vos réponses;
- Répondez sur le questionnaire;
- Utilisez le verso pour le brouillon: le verso ne sera pas corrigé.

Important	Ce questionnaire comporte <input type="text" value="6"/> question(s) sur <input type="text" value="13"/> page(s)
	La pondération de cet examen est de <input type="text" value="35"/> %
	Vous devez répondre sur: <input checked="" type="checkbox"/> le questionnaire <input type="checkbox"/> le cahier <input type="checkbox"/> les deux
	Vous devez remettre le questionnaire: <input checked="" type="checkbox"/> oui <input type="checkbox"/> non

QUESTION 1 {4 points}

En se servant d'un nombre minimum de bascules, concevez une MSA réalisant un compteur contrôlé par une entrée X de la manière suivante : si $X = 0$, le compteur parcourt la séquence 1, 3, 0 et il répète, et si $X = 1$, ce compteur fait la séquence 1, 2, 3 et il répète. Une sortie Z est générée pendant la deuxième moitié d'un cycle d'horloge chaque fois que le compteur se trouve dans l'état 2 et l'entrée X vaut 1. Il est à noter que la MSA de 4 états seulement est synchronisée sur le front montant de l'horloge, X l'est sur le front descendant de la même horloge, et que le compteur peut changer de direction dans n'importe quel état. L'entrée est active dans les logiques positive et négative et la sortie est active en logique négative.

a) Présentez les diagrammes d'états et de phase de la MSA de votre design. {1 point}

QUESTION 1 {suite}

b) Dans quelle séquence ($X=0$ ou $X=1$) la MSA peut générer des transitoires et pourquoi ?
{0,5 point}

c) En se servant des bascules D et des portes logiques NON-ET seulement, trouvez les équations booléennes et dessinez le circuit logique de votre design. {1 point}

QUESTION 1 {suite}

d) Si l'entrée X était asynchrone, la MSA peut-elle engendrer des états erronés ? Expliquez votre réponse. {0,5 point}

e) Proposez un nouveau design pour augmenter la vitesse (la fréquence maximale) d'opération du compteur. {1 point}

QUESTION 2 {7 points}

On nous demande de concevoir une interface d'acquisition et de stockage d'un signal analogique ayant une fréquence maximale de 60 kHz. L'interface en question englobe quatre échantillonneurs/bloqueurs, quatre convertisseurs analogique à numérique (CAN), une SRAM, un compteur, un oscillateur fournissant l'horloge et une machine séquentielle pour commander l'ensemble du système.

Suivant la méthode hiérarchique de conception «Top-Down Design», faites la synthèse de cette interface.

- a) Présentez le schéma-bloc du système et identifiez tous les signaux nécessaires qui entrent en jeu. {1,5 point}

QUESTION 2 {suite}

b) En se servant de deux décodeurs et de 1024 registres de 8 bits, concevez une SRAM basée sur une matrice carrée de registres. {1,5 point}

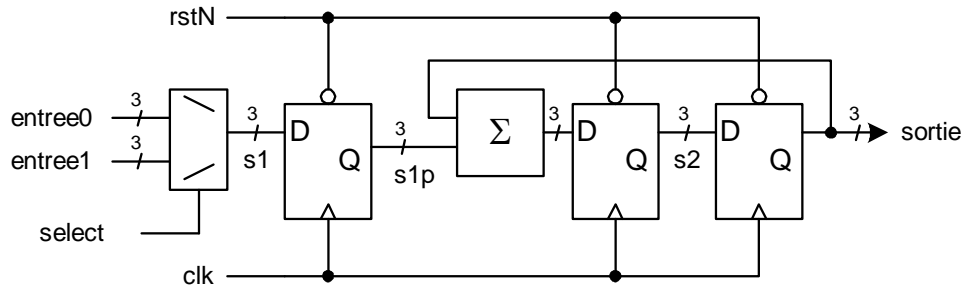
c) En se servant d'un CAN opérant à 40 K échantillons par seconde et nécessitant 20 cycles d'horloge pour effectuer une seule conversion et un délai de préparation de 5 autres cycles avant de débiter une autre conversion, présentez un diagramme de phase montrant l'opération des 4 CAN pour acquérir correctement le signal analogique. {2 points}

QUESTION 2 {suite}

- d) Assumons que la MSA est synchronisée sur le front montant de l'horloge, concevez cette MSA pour contrôler l'ensemble de l'interface. {2 points}

QUESTION 3 {2,5 points}

Soit le schéma-bloc suivant:



- a) Complétez la description VHDL en utilisant un seul processus pour tous les registres
{2 points}

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity question3 is
port(
rstN, clk           : in    std_logic;
select              : in    std_logic;
entree0, entree1    : in    std_logic_vector( 2 downto 0);
sortie              :
);
end entity question3;

architecture behav of question3 is
signal s1, s1p, s2 : std_logic_vector( 2 downto 0);
begin

```


QUESTION 3 {suite de la partie (a)}

```
end architecture behav;
```

- b) Déterminez le nombre de GAL20V8 nécessaires à la réalisation de ce circuit. Expliquez votre réponse. {0,5 point}

QUESTION 4 {2 points}

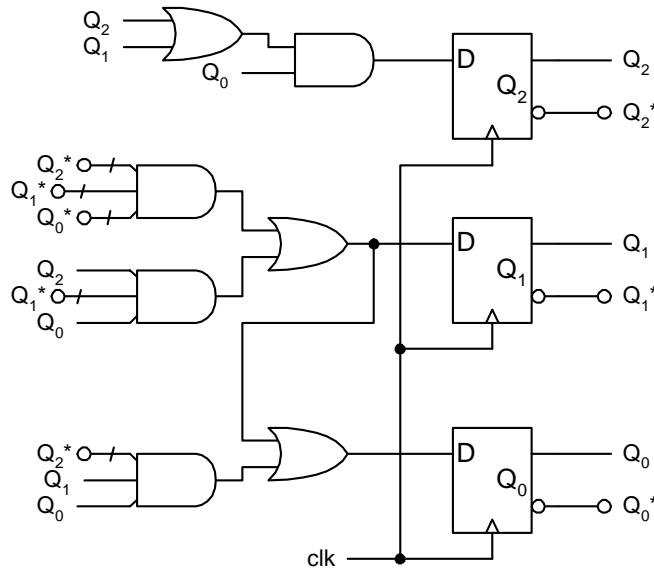
Proposez le design d'un multivibrateur monostable redéclenchable réalisé à l'aide d'un FPGA utilisant une seule horloge pour tout le système.

- a) Dessinez le schéma-bloc et déterminez la fréquence minimal de l'horloge pour détecter une impulsion de 50 ns. La largeur de l'impulsion de sortie désirée est d'approximativement 50 μ s. {1,5 point}

- b) Expliquez son fonctionnement à l'aide d'un diagramme temporel. {0,5 point}

QUESTION 5 {3 points}

Trouvez la fréquence maximale d'opération du compteur de séquence (000, 011, 101, 111, 100, 000, ...) en se servant des paramètres donnés au Tableau Q5. {3 points}



QUESTION 5 {suite}

Tableau Q5: Paramètres électriques des composants du compteur.

Composant	t_{pLH}	t_{pHL}	t_{su}	t_h
Porte ET (2 ou 3 entrées)	7 ns	4 ns	-	-
Porte OU	6 ns	8 ns	-	-
Bascule D	13 ns	8 ns	4 ns	5 ns

QUESTION 6 {1,5 point}

Les questions suivantes portent sur les laboratoires réalisés au cours de la session:

- a) Pour le projet 1, expliquez pourquoi un seul circuit anti-rebond est nécessaire et suffisant.
{0,5 point}

QUESTION 6 {suite}

b) Pour le projet 2, l'indicateur de volume audio, proposez une modification aux spécifications de façon à remplacer la mémoire (EPROM) par un GAL20V8. {0,5 point}

c) Dans le cadre du projet 3, expliquez comment vérifier le fonctionnement du système avec la mémoire (ROM) lors de la simulation avec délais après la synthèse. {0,5 point}

Bon examen!
Mohamad Sawan
Stéphane Boyer

Questionnaire d'examen final

ELE3301 / ELE4301

Sigle du (des) cours

Le génie
sans frontières

Nom: _____	Prénom: _____
Matricule: _____	Signature: _____

Q1:

Q2:

Q3:

Sigle et titre du cours		Groupe	Trimestre
ELE3301 - Systèmes numériques programmés ELE4301 - Systèmes logiques II		Tous	H-2004
Professeur(s)	Mohamad Sawan, Stéphane Bergeron	Local	D-6240
Jour	Date	Durée	De
Mercredi	28/04/04	2h30	13h30 à 16h00

Q4:

Q5:

Q6:

Documentation <input checked="" type="checkbox"/> Toute <input type="checkbox"/> Aucune <input type="checkbox"/> Voir directives particulières	Calculatrice <input type="checkbox"/> Aucune <input type="checkbox"/> Non-programmable <input checked="" type="checkbox"/> Programmable
---	--

Directives particulières

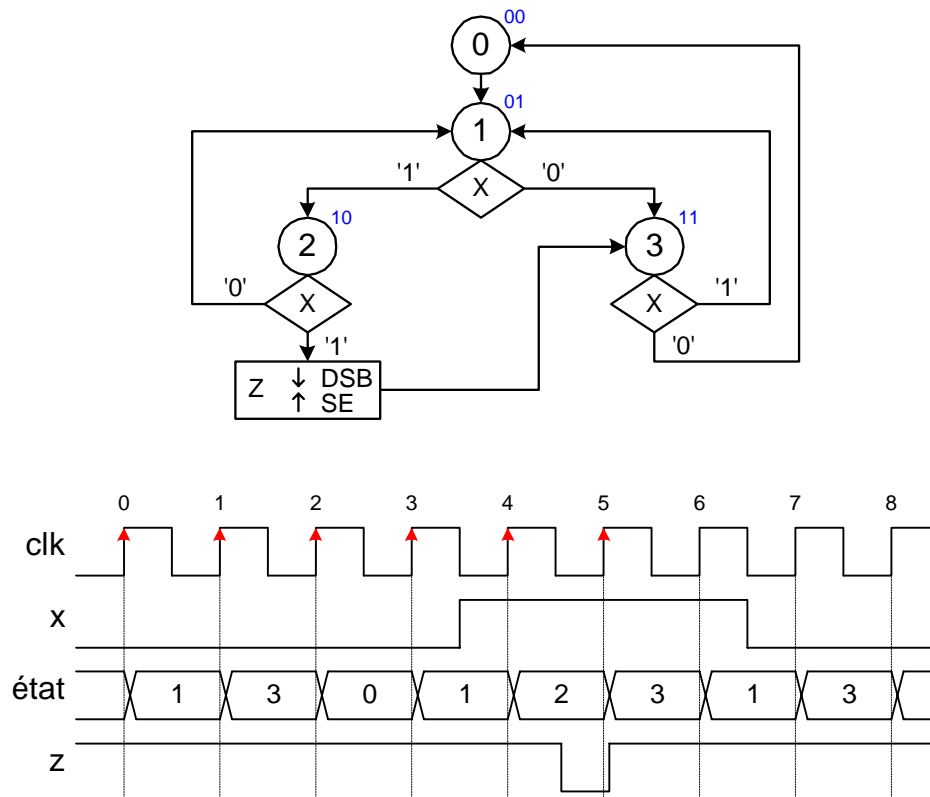
- Donnez des réponses courtes, sans quoi, vous serez pénalisés;
- Respectez la logique écrite dans vos réponses;
- Répondez au questionnaire;
- Utilisez le verso pour le brouillon: le verso ne sera pas corrigé.

Important	Ce questionnaire comporte <input type="text" value="6"/> question(s) sur <input type="text" value="13"/> page(s)
	La pondération de cet examen est de <input type="text" value="35"/> %
	Vous devez répondre sur: <input checked="" type="checkbox"/> le questionnaire <input type="checkbox"/> le cahier <input type="checkbox"/> les deux
	Vous devez remettre le questionnaire: <input checked="" type="checkbox"/> oui <input type="checkbox"/> non

QUESTION 1 {4 points}

En se servant d'un nombre minimum de bascules, concevez une MSA réalisant un compteur contrôlé par une entrée X de la manière suivante : si $X = 0$, le compteur parcourt la séquence 1, 3, 0 et il répète, et si $X = 1$, ce compteur fait la séquence 1, 2, 3 et il répète. Une sortie Z est générée pendant la deuxième moitié d'un cycle d'horloge chaque fois que le compteur se trouve dans l'état 2 et l'entrée X vaut 1. Il est à noter que la MSA de 4 états seulement est synchronisée sur le front montant de l'horloge, X l'est sur le front descendant de la même horloge, et que le compteur peut changer de direction dans n'importe quel état. L'entrée est active dans les logiques positive et négative et la sortie est active en logique négative.

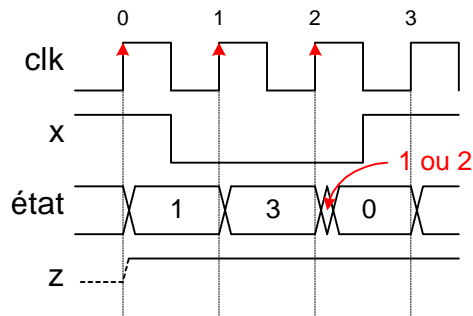
a) Présentez les diagrammes d'états et de phase de la MSA de votre design. {1 point}



QUESTION 1 {suite}

- b) Dans quelle séquence (X=0 ou X=1) la MSA peut générer des transitoires et pourquoi ?
{0,5 point}

Aucune séquence. La seule séquence possible est lors du passage de l'état (3) à l'état (0), la MSA peut passer par l'état (2) mais dans ce cas, x=0.



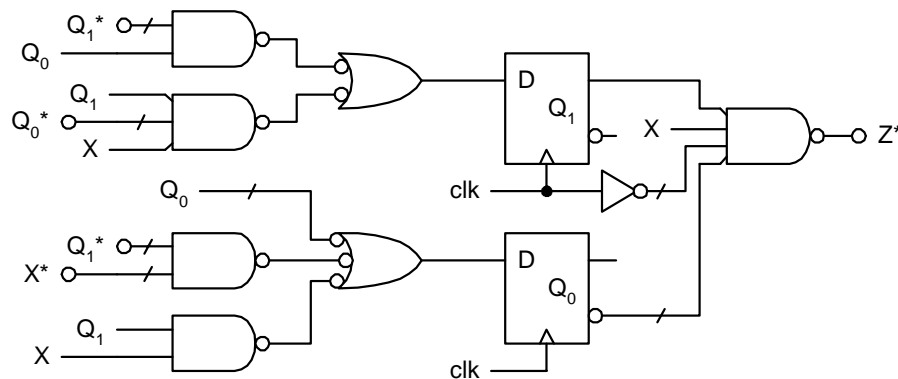
- c) En se servant des bascules D et des portes logiques NON-ET seulement, trouvez les équations booléennes et dessinez le circuit logique de votre design. {1 point}

$Q_1 Q_0 X$	$Q_1^+ Q_0^+$	Z
0 0 0	0 1	0
0 0 1	0 1	0
0 1 0	1 1	0
0 1 1	1 0	0
1 0 0	0 1	0
1 0 1	1 1	$\overline{\text{clk}}$
1 1 0	0 0	0
1 1 1	0 1	0

$$D_1 = \overline{Q_1} Q_0 + Q_1 \overline{Q_0} X$$

$$D_0 = \overline{Q_0} + \overline{Q_1} \overline{X} + Q_1 X$$

$$Z = Q_1 \overline{Q_0} X \overline{\text{clk}}$$



QUESTION 1 {suite}

- d) Si l'entrée X était asynchrone, la MSA peut-elle engendrer des états erronés ? Expliquez votre réponse. {0,5 point}

Non, il ne peut y avoir d'états erronés à partir de 1, 2 ou 3 puisque tous les états futurs sont adjacents:

- à partir de 1, 2 et 3 sont adjacents;
- à partir de 2, 1 et 3 sont adjacents et
- à partir de 3, 0 et 1 sont adjacents.

- e) Proposez un nouveau design pour augmenter la vitesse (la fréquence maximale) d'opération du compteur. {1 point}

Deux solutions possibles:

Avec des bascules J-K

Q_1Q_0X	$Q_1^+Q_0^+$	J_1K		J_0K	
		1	0	1	0
0 0 0	0 1	0 -	1 -	0 -	1 -
0 0 1	0 1	0 -	1 -	0 -	1 -
0 1 0	1 1	1 -	- 0	1 -	- 0
0 1 1	1 0	1 -	- 1	1 -	- 1
1 0 0	0 1	- 1	1 -	- 1	1 -
1 0 1	1 1	- 0	1 -	- 0	1 -
1 1 0	0 0	- 1	- 1	- 1	- 1
1 1 1	0 1	- 1	- 0	- 1	- 0

$$J_1 = Q_0$$

$$K_1 = Q_0 + \bar{X}$$

$$J_0 = 1$$

$$K_0 = \bar{Q}_1 X + Q_1 \bar{X}$$

Assignation bit-par-état

(One Hot Encoding)

$$0: D_0 = Q_3 \bar{X}$$

$$1: D_1 = Q_0 + Q_2 \bar{X} + Q_3 X$$

$$2: D_2 = Q_1 X$$

$$3: D_3 = Q_1 \bar{X} + Q_2 X$$

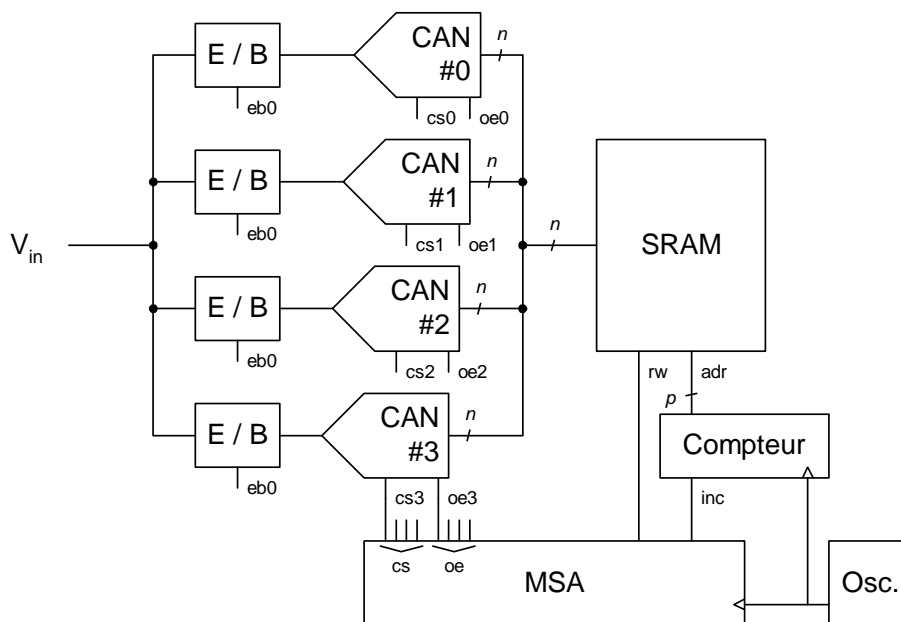
$$\text{OFL: } Z = Q_2 X$$

QUESTION 2 {7 points}

On nous demande de concevoir une interface d'acquisition et de stockage d'un signal analogique ayant une fréquence maximale de 60 kHz. L'interface en question englobe quatre échantillonneurs/bloqueurs, quatre convertisseurs analogique à numérique (CAN), une SRAM, un compteur, un oscillateur fournissant l'horloge et une machine séquentielle pour commander l'ensemble du système.

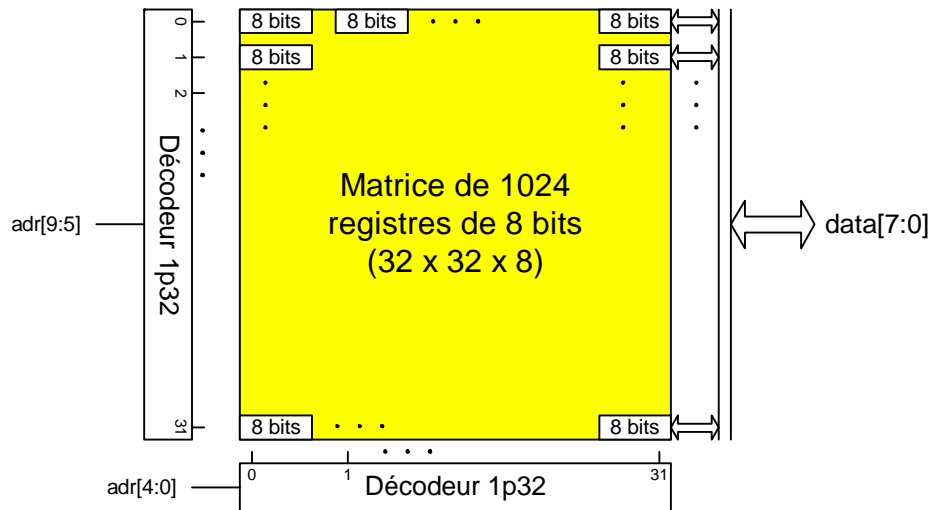
Suivant la méthode hiérarchique de conception «Top-Down Design», faites la synthèse de cette interface.

- a) Présentez le schéma-bloc du système et identifiez tous les signaux nécessaires qui entrent en jeu. {1,5 point}

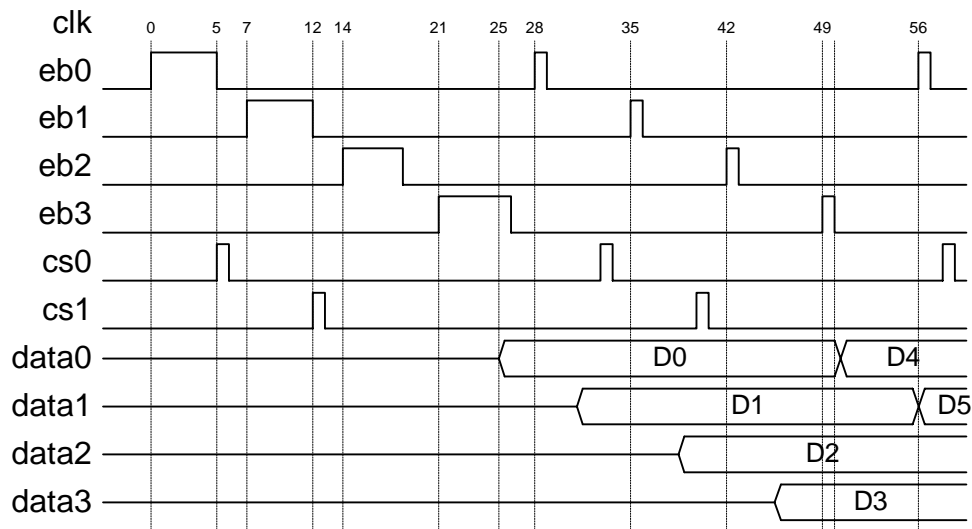


QUESTION 2 {suite}

- b) En se servant de deux décodeurs et de 1024 registres de 8 bits, concevez une SRAM basée sur une matrice carrée de registres. {1,5 point}

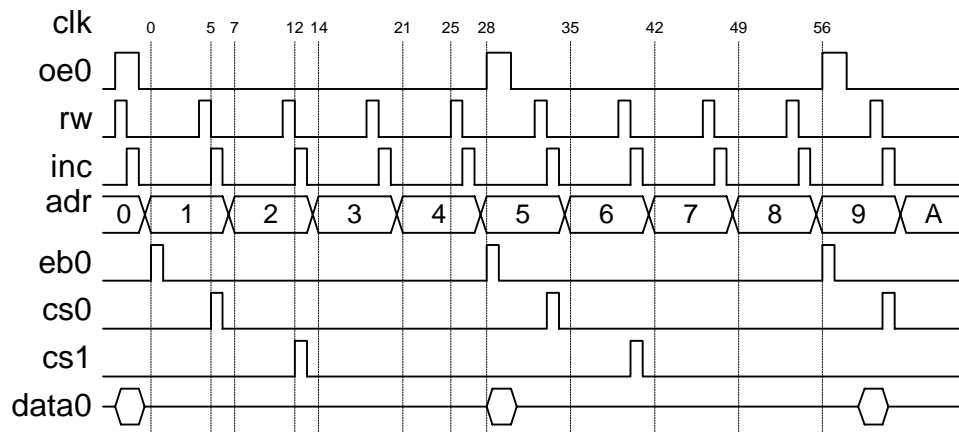
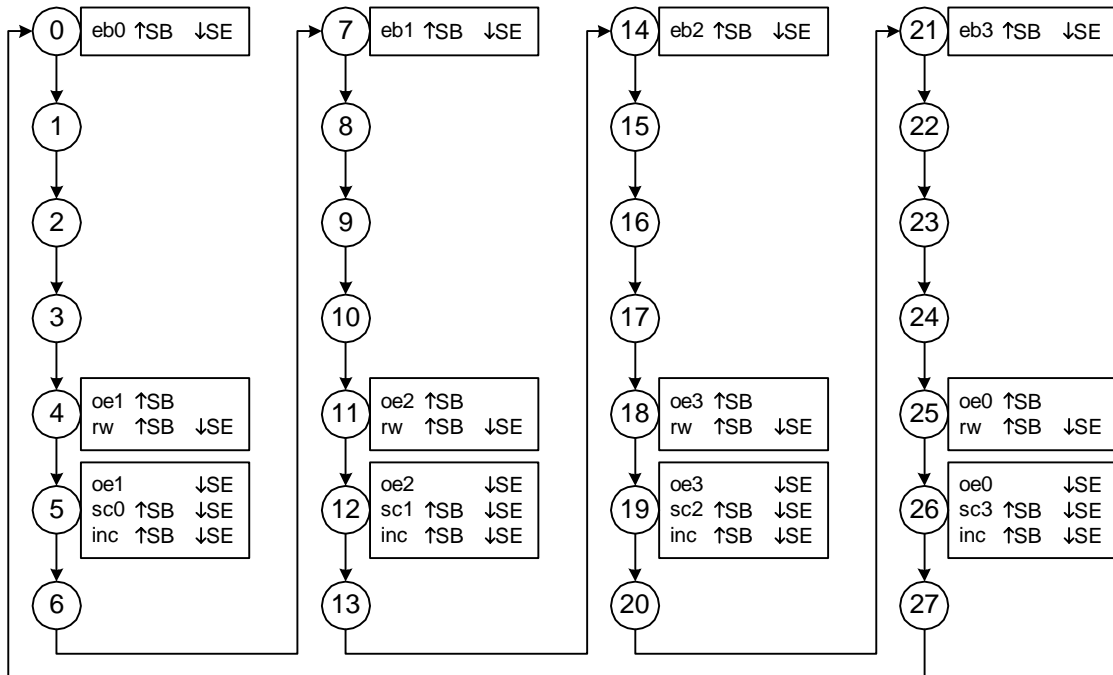


- c) En se servant d'un CAN opérant à 40 K échantillons par seconde et nécessitant 20 cycles d'horloge pour effectuer une seule conversion et un délai de préparation de 5 autres cycles avant de débiter une autre conversion, présentez un diagramme de phase montrant l'opération des 4 CAN pour acquérir correctement le signal analogique. {2 points}



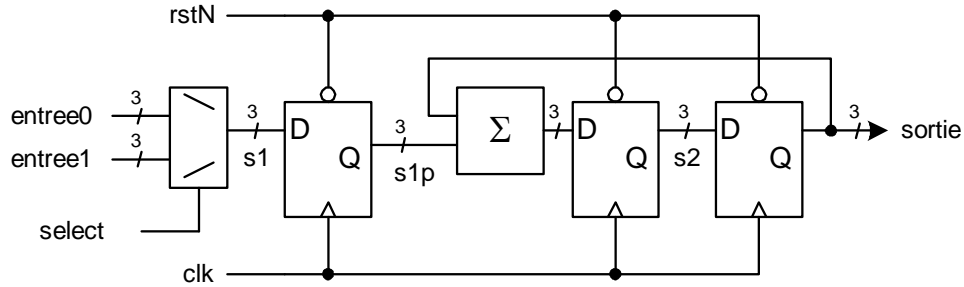
QUESTION 2 {suite}

- d) Assumons que la MSA est synchronisée sur le front montant de l'horloge, concevez cette MSA pour contrôler l'ensemble de l'interface. {2 points}



QUESTION 3 {2,5 points}

Soit le schéma-bloc suivant:



- a) Complétez la description VHDL en utilisant un seul processus pour tous les registres {2 points}

```

library IEEE;
  use IEEE.std_logic_1164.all;
  use IEEE.std_logic_unsigned.all;

entity question3 is
  port(
    rstN, clk          : in    std_logic;
    select             : in    std_logic;
    entree0, entree1   : in    std_logic_vector( 2 downto 0);
    sortie             : buffer std_logic_vector( 2 downto 0)
  );
end entity question3;

architecture behav of question3 is
  signal s1, s1p, s2 : std_logic_vector( 2 downto 0);
begin

  -- Section combinatoire
  s1    <= entree0 when select = '0' else
         entree1;

```

QUESTION 3 {suite de la partie (a)}

```
-- Description des registres
XREGISTRE: process(rstN, clk)
begin
  if (rstN = '0') then
    s1p    <= (others => '0');  -- une possibilite
    s2     <= "000";          -- une autre possibilite
    sortie <= (others => '0');
  elsif (clk'event and clk = '1') then
    s1p    <= s1;
    s2     <= s1p + sortie;
    sortie <= s2;
  end if;
end process XREGISTRE;
```

```
end architecture behav;
```

- b) Déterminez le nombre de GAL20V8 nécessaires à la réalisation de ce circuit. Expliquez votre réponse. {0,5 point}

Un GAL20V8 possède 10 sorties dont 8 avec des registres.

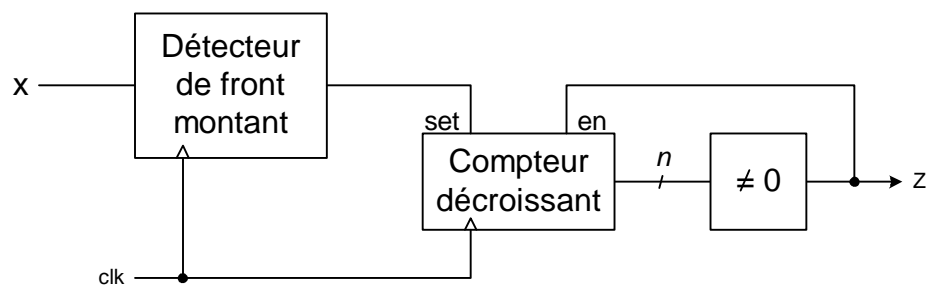
Le design proposé contient 3 étages de registres de 3 bits chacun pour un total de 9 registres.

Il faut donc 2 GAL20V8 pour réaliser le circuit.

QUESTION 4 {2 points}

Proposez le design d'un multivibrateur monostable redéclenchable réalisé à l'aide d'un FPGA utilisant une seule horloge pour tout le système.

- a) Dessinez le schéma-bloc et déterminez la fréquence minimal de l'horloge pour détecter une impulsion de 50 ns. La largeur de l'impulsion de sortie désirée est d'approximativement 50 μ s. {1,5 point}



$$f_{\text{clk}} \geq \frac{1}{\Delta t}$$

$$f_{\text{clk}} \geq \frac{1}{50 \text{ ns}}$$

$$f_{\text{clk}} \geq 20 \text{ MHz}$$

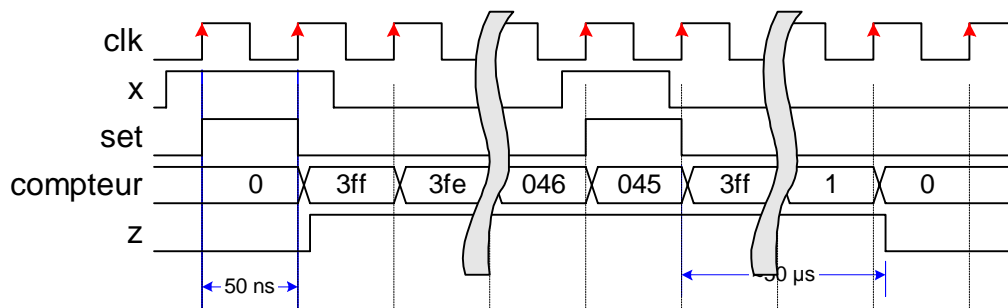
$$2^n T_{\text{clk}} = T \approx 50 \mu\text{s}$$

$$2^n \approx \frac{50 \mu\text{s}}{50 \text{ ns}}$$

$$n \approx \log_2 1000$$

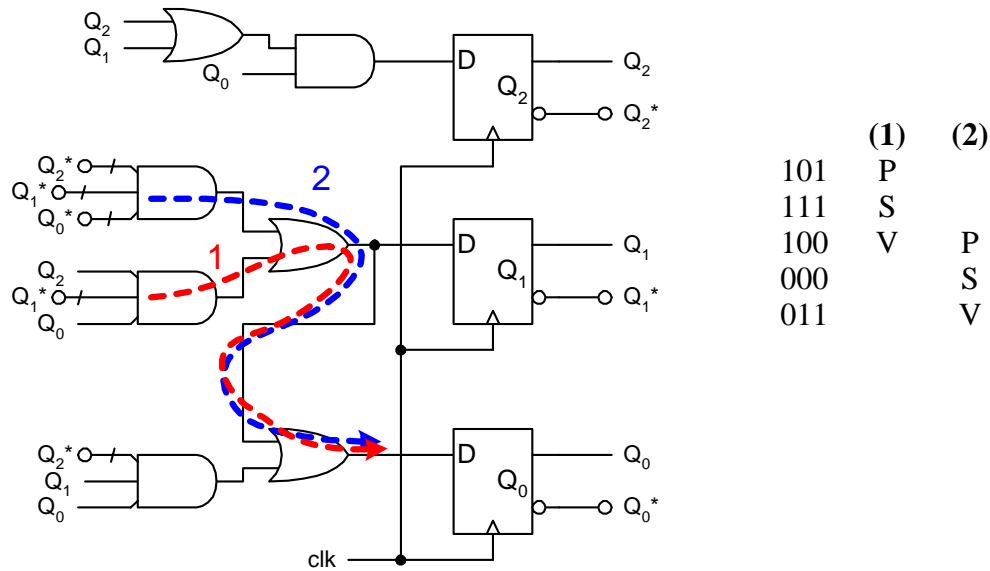
$$n \approx 9,96 \rightarrow n = 10$$

- b) Expliquez son fonctionnement à l'aide d'un diagramme temporel. {0,5 point}



QUESTION 5 {3 points}

Trouvez la fréquence maximale d'opération du compteur de séquence (000, 011, 101, 111, 100, 000, ...) en se servant des paramètres donnés au Tableau Q5. {3 points}



Le chemin le plus long compte 3 portes logiques (1 ET & 2 OU).

Séquence se terminant par une transition sur D_0 :

1) À partir d'une transition sur Q_1^*

$$T_1 = t_{PHL_basculer} + t_{PHL_et3} + t_{PHL_ou2} + t_{PHL_ou2} + t_{su}$$

$$T_1 = 8 + 4 + 8 + 8 + 4 = 32$$

2) À partir d'une transition sur Q_2^*

$$T_1 = t_{PLH_basculer} + t_{PLH_et3} + t_{PLH_ou2} + t_{PLH_ou2} + t_{su}$$

$$T_1 = 13 + 7 + 6 + 6 + 4 = 36$$

$$f_{MAX} = \frac{1}{36 \text{ ns}} = 27,8 \text{ MHz}$$

QUESTION 5 {suite}

Tableau Q5: Paramètres électriques des composants du compteur.

Composant	t_{pLH}	t_{pHL}	t_{su}	t_h
Porte ET (2 ou 3 entrées)	7 ns	4 ns	-	-
Porte OU	6 ns	8 ns	-	-
Bascule D	13 ns	8 ns	4 ns	5 ns

QUESTION 6 {1,5 point}

Les questions suivantes portent sur les laboratoires réalisés au cours de la session:

- a) Pour le projet 1, expliquez pourquoi un seul circuit anti-rebond est nécessaire et suffisant.
{0,5 point}

Comme l'horloge est générée à partir des boutons, il suffit d'insérer un circuit anti-rebonds sur le chemin de l'horloge. Ce délai sur l'horloge permettra aux entrées de la MSA de se stabiliser avant le changement d'état provoqué par le front montant de l'horloge.

QUESTION 6 {suite}

- b) Pour le projet 2, l'indicateur de volume audio, proposez une modification aux spécifications de façon à remplacer la mémoire (EPROM) par un GAL20V8. {0,5 point}

Comme la fonction réalisée par la EPROM (comparaison de la sortie du CAN 8-bits avec 10 seuils) pour être programmée dans un GAL, on peut réduire la complexité de la fonction en utilisant uniquement les 3 MSB du CAN pour permettre l'affichage d'au maximum 7 carrés noirs sur l'écran LCD.

- c) Dans le cadre du projet 3, expliquez comment vérifier le fonctionnement du système avec la mémoire (ROM) lors de la simulation avec délais après la synthèse. {0,5 point}

Une façon de vérifier le fonctionnement de notre circuit après synthèse est de contrôler les entrées du système provenant de la EPROM à l'aide du fichier de commande pour la simulation, i.e. de forcer les signaux de données de la EPROM manuellement.

Bon examen!
Mohamad Sawan
Stéphane Boyer